

Diseño de un amplificador operacional CMOS de amplio ancho de banda y alta ganancia para aplicaciones de alta velocidad¹

Artículo de Investigación Científica - Fecha de recepción: 20 de junio de 2012 - Fecha de aceptación: 20 de marzo de 2013

José Simancas García

Ingeniero Electrónico. Docente investigador GIACUC. Universidad de la Costa. Barranquilla, Colombia.
jsimanca3@cuc.edu.co

Para citar este artículo / to reference this article :

J. L. Simancas, "Diseño de un amplificador operacional CMOS de amplio ancho de banda y alta ganancia para aplicaciones de alta velocidad," *INGE CUC*, vol. 9, no. 1, pp. 163-182, Jun 2013.

RESUMEN

Se diseña un amplificador operacional de topología estándar CMOS con proceso tecnológico de 0,12 μm , de gran ancho de banda (97 MHz) y alta ganancia (136 dB), para ser utilizados en la elaboración de filtros activos integrados. Para tal fin se realiza inicialmente un estudio teórico de los diferentes conceptos relacionados con el funcionamiento de los amplificadores operacionales, según se presenta en la literatura para la tecnología CMOS. Posteriormente se establecen las especificaciones de un amplificador para una aplicación en filtros activos y se diseña aquel. Luego se muestra el correcto funcionamiento del circuito diseñado a través de simulaciones en el software de aplicación Multisim[®] de NI, y se verifica si se cumplen las especificaciones evaluadas de ancho de banda y ganancia. Por último, se presenta un cuadro comparativo que permite contrastar los resultados obtenidos en este trabajo con los exhibidos por un diseño académico y un amplificador operacional comercial.

Palabras clave

Amplificadores operacionales, filtros activos, topología cascode, microelectrónica.

¹ Este trabajo fue realizado como parte de las actividades de investigación del Grupo de Investigación GIACUC, del programa de Ingeniería Electrónica de la Corporación Universidad de la Costa.

Design of a CMOS operational amplifier with wide bandwidth and high gain to high speed applications

ABSTRACT

A standard topology CMOS operational amplifier is designed with 0.12 μm technological process, and wideband (97 MHz) and high gain (136 dB) to be used in the manufacturing of embedded active filters. For this goal, it is necessary to make a theoretical study of the different concepts related to the work of operational amplifiers according to the CMOS technological literature. After that, technical specifications are established for active filter implementation for its subsequent design. Then, the correct performance of the designed circuit is presented through simulations on the NI MULTISIM™ software to verify if the technical specifications regarding wideband and gain were accomplished. Finally, a comparative table is presented to allow the reader to contrast the results obtained in this paper with the ones showed by an academic design and a commercial operational amplifier.

Keywords

Operational amplifier, active filters, cascode topology, microelectronics.

INTRODUCCIÓN

Un amplificador operacional es un amplificador de tensión electrónico de alta ganancia y acoplado en corriente directa (*DC, Direct Current*) con una entrada de tipo diferencial y, generalmente, con única salida. Un amplificador operacional produce una salida de tensión que es típicamente de cientos de miles de veces más grande que la diferencia de tensión entre sus terminales de entrada.

Los amplificadores operacionales son bloques de construcción importantes para un amplio rango de circuitos electrónicos. Ellos tienen sus orígenes en los computadores analógicos donde fueron utilizados en circuitos dependientes de la frecuencia, tanto lineales como no lineales. Su popularidad en el diseño de circuitos se debe básicamente al hecho de que las características del circuito amplificador operacional final con retroalimentación negativa, tales como su ganancia, dependen solo de los valores de los componentes externos con poca dependencia a los cambios de temperatura y variaciones en el proceso de fabricación del amplificador en sí mismo. Los amplificadores operacionales están entre los dispositivos electrónicos más usados hoy día, utilizándose en una gran cantidad de sistemas científicos, industriales y de consumo. Por todo lo anterior, existe una marcada necesidad de estudiar la forma como son diseñados y fabricados estos circuitos [9]-[12].

En algunos sistemas de verificación de funcionamiento de circuitos integrados analógicos y de comunicaciones se requiere el uso de filtros activos para llevar a cabo procesos de extracción de las señales de prueba [13]. El autor del pre-

sente trabajo llevó a cabo investigaciones previas relacionadas con los esquemas de verificación de sistemas analógicos integrados, donde quedó planteada la necesidad de diseñar un amplificador operacional de alta ganancia y amplio ancho de banda para su uso en la versión integrada del sistema de pruebas propuesto en [14]. Las especificaciones concretas de ese amplificador requerido se establecen en la sección *Aproximación propuesta*, de este artículo. Por lo anterior, el presente trabajo muestra el proceso de diseño de un amplificador operacional de topología estándar *CMOS (Complementary Metal-Oxide-Semiconductor)* de gran ancho de banda y alta ganancia, para ser utilizados en la elaboración de filtros activos integrados, con la intención de solucionar el problema planteado en [14] y también motivar el estudio de la microelectrónica en el Programa de Ingeniería Electrónica de la Corporación Universidad de la Costa - CUC. Para tal fin se lleva a cabo el estudio detallado del proceso de diseño de este tipo de circuitos analógicos, estableciendo una metodología que permite equilibrar las diferentes restricciones del diseño, dependientes de la aplicación específica. Se describe de forma minuciosa el proceso iterativo que supone la obtención de un circuito que cumple y, en algunos casos supera por mucho, las especificaciones dadas.

El artículo está organizado como sigue: Inicialmente se presenta la metodología empleada para la realización de esta investigación. Luego se estudian de forma detallada las especificaciones de diseño de los amplificadores operacionales, y el diseño de estos últimos. Posteriormente, se presenta la aproximación propuesta en este trabajo de investigación. A con-

tinuación están los resultados del diseño propuesto a través de simulaciones detalladas por computador. Por último, se relacionan las conclusiones.

METODOLOGÍA DE TRABAJO

Esta investigación se llevó a cabo por la necesidad de diseñar un amplificador operacional CMOS de amplio ancho de banda para uso en filtros activos integrados. Como actividad inicial se estudiaron las especificaciones de interés en los amplificadores operacionales y los métodos de diseño básico de los mismos, que se presentan en los libros de diseño microelectrónico [1], [2]. Posteriormente se estudiaron referencias más especializadas [3]-[9]. Estudiado el caso particular presentado en [14], se establecieron las especificaciones particulares requeridas por el diseño y se seleccionó el método más adecuado para llevarlo a cabo.

El proceso de diseño de este tipo de circuitos es iterativo, y en ocasiones se debe emplear el ensayo y el error, y se vuelve a empezar hasta que se va logrando el cumplimiento de los parámetros objetivo. Una visión simplificada del proceso de diseño puede ser el establecimiento de la geometría inicial de los transistores que componen el amplificador operacional y la posterior variación de aquella hasta que se logra el cumplimiento de las especificaciones. Las dos especificaciones principales de interés son el ancho de banda y la ganancia del circuito. Una vez obtenido el diseño final, se llevaron a cabo una serie de simulaciones de algunas configuraciones de circuito para la medición de parámetros en el software de aplicación Multisim® de National Instruments, que evidenciaban el cumplimiento de las especificaciones de diseño

por parte del circuito obtenido. Se presentan en este artículo las gráficas arrojadas por la herramienta de simulación y se condensan después los resultados de las especificaciones en una tabla para ser comparados con los objetivos propuestos para el diseño, y de esa manera comprobar que se llegó a la solución correcta. Las simulaciones se ejecutaron a nivel de transistores, utilizando un modelo de MOSFET BSIM3, de la Universidad de Berkeley, y para un proceso tecnológico descrito posteriormente. Los resultados del diseño propuesto en esta investigación son luego comparados con los resultados de un diseño de tipo académico [15] y los de un amplificador operacional comercial [16]. Una última etapa, no incluida en este artículo, fue la inclusión de este diseño en el sistema propuesto en [14], cuyos resultados se presentarán en un próximo trabajo.

DISEÑO DE AMPLIFICADORES OPERACIONALES

El amplificador operacional se ha transformado en uno de los bloques constitutivos más importantes en el diseño analógico. Este dispositivo es denominado un circuito electrónico complejo, en un nivel superior al de los sub-circuitos analógicos, hasta el punto de que su estructura es una combinación de estos sub-circuitos. Un amplificador operacional consiste de una etapa de entrada diferencial seguida de una etapa de amplificación de alta ganancia. Esta última se conecta a su vez a una etapa de salida que además de adecuar la impedancia, hace los ajustes a los niveles de tensión continuo para que en reposo mantenga una tensión nula. Como elementos adicionales, el amplificador operacional posee refe-

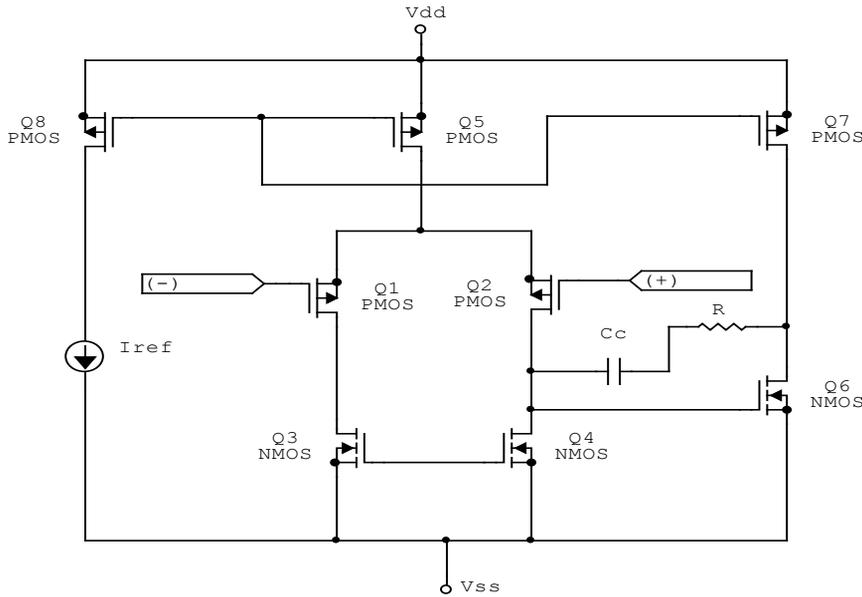


Fig. 1. Esquema de transistores de amplificador operacional de dos etapas [1]

rencias de tensión y espejos de corriente utilizados para polarizar las diferentes etapas que lo componen. En la Fig. 1 se muestra un esquema general de un amplificador operacional [1], [2]. A continuación se describen las especificaciones principales de un amplificador operacional, las cuales están en función de unas relaciones geométricas de los transistores que lo componen.

Ganancia de DC

Esta especificación se divide en dos partes: una ganancia de la etapa de entrada diferencial y la ganancia de la etapa de salida [7]. La ganancia total del circuito es el producto de las dos antes mencionadas [8]. La ganancia de la etapa diferencial, que se encuentra formada por los transistores $M1$ y $M2$ y que tiene como carga activa a la fuente de corriente formada por $M3$ y $M4$, viene dada por:

$$A_1 = -g_{m1}(r_{o2} \parallel r_{o4}) \quad (1)$$

Como se sabe del estudio de los amplificadores diferenciales con cargas activas, los valores de los parámetros expuestos en (1) se determinan así:

$$g_m = \sqrt{2\mu\mu_{ox}\left(\frac{W}{L}\right)I_D} = \sqrt{2k\left(\frac{W}{L}\right)I_D} \quad (2)$$

$$r_o = \frac{|V_A|}{I_D} = \frac{1}{I_D\lambda} \quad (3)$$

La ganancia de la segunda etapa está determinada por la ecuación (4).

$$A_2 = -g_{m6}(r_{o6} \parallel r_{o7}) \quad (4)$$

Como es sabido, para este tipo de sistemas, la ganancia global viene dada por:

$$A = A_1 \cdot A_2 \quad (5)$$

Ahora, haciendo uso de (1), (2), (3) y (4), y un poco de manipulación algebraica que se omite aquí por simplicidad, se obtienen las siguientes expresiones:

$$A_1 = -\sqrt{2k_p \left(\frac{W}{L}\right)_1} I_{D1} \left[\frac{1}{I_{D4}\lambda_4 + I_{D2}\lambda_2} \right] \quad (6)$$

$$A_2 = -\sqrt{2k_n \left(\frac{W}{L}\right)_6} I_{D6} \left[\frac{1}{I_{D6}\lambda_6 + I_{D7}\lambda_7} \right] \quad (7)$$

Hasta aquí, se obtuvieron las expresiones de ganancia para cada una de las etapas del amplificador operacional. Usando (5), (6) y (7), se pudo encontrar una ecuación para la ganancia total del sistema en DC:

$$A = \frac{\sqrt{2k_p 2k_n}}{\lambda^2} \sqrt{\left(\frac{W}{L}\right)_1 I_{D1} \left(\frac{W}{L}\right)_6 I_{D6}} \times \left[\frac{1}{I_{D4} + I_{D2}} \right] \left[\frac{1}{I_{D6} + I_{D7}} \right] \quad (8)$$

Asumiendo el hecho de que las corrientes I_{D4} e I_{D2} son iguales entre sí, y adicionalmente I_{D6} e I_{D7} son también iguales entre sí, se puede simplificar (8) a:

$$A = \frac{\sqrt{2k_p 2k_n}}{4\lambda^2} \sqrt{\left(\frac{W}{L}\right)_1 I_{D1} \left(\frac{W}{L}\right)_6 I_{D6}} \quad (9)$$

Rango de entrada en modo común

Esta especificación tiene dos partes: un mínimo y un máximo [7]. El valor mínimo para el rango en modo común negativo se representa por medio de CMR^- y el valor máximo para el rango en modo común positivo por medio de CMR^+ . CMR^- ocurre cuando $M1$ y $M2$ salen de la región de saturación.

Esto sucede en el momento en que la tensión de entrada está por debajo del

drenaje de $M1$ en un valor de $|V_t|$ voltios. La tensión de drenaje de $M1$ se escribe como:

$$V_{D1} = -V_{SS} + V_{GS3} \quad (10)$$

$$CMR^- = V_{D1} - |V_t| \quad (11)$$

Entonces se debe ajustar la tensión V_{GS3} para que cumpla con el CMR^- especificado. Ahora, para determinar CMR^+ se tiene la siguiente expresión:

$$CMR^+ = V_{DD} - |V_{GS5}| + |V_t| - |V_{GS1}| \quad (12)$$

Se ajustan los valores de V_{GS5} y V_{GS1} para que se cumpla el valor de CMR^+ especificado; esto se logra escogiendo de manera adecuada la geometría de los transistores y su polarización [8].

Intervalo de tensión de salida

Este intervalo se determina bajo el hecho de que el *MOSFET 7 (M7)* está saliendo de la región de saturación [7]. Como es un intervalo, consta de dos valores, uno máximo y uno mínimo, los cuales se simbolizan v_{oMax} y v_{oMin} , respectivamente. Estos valores se hallan por medio de las siguientes ecuaciones:

$$v_{oMax} = V_{DD} - |V_{GS7}| + |V_t| \quad (13)$$

$$v_{oMin} = -V_{SS} + |V_{GS6}| - |V_t| \quad (14)$$

Al igual que con el rango de entrada en modo común, se utilizan las geometrías de componentes que ajusten las tensiones de tal forma que se cumpla la especificación.

Tensión de desnivel de entrada

Las inevitables desigualdades de los transistores en la etapa de entrada diferencial dan lugar a una tensión de desnivel [4]. Debido a que estas desigualdades son raras por naturaleza, la tensión de desnivel resultante es aleatoria. Existe otro componente de desnivel de entrada que sí se puede determinar, aun si todos los dispositivos están perfectamente acoplados o igualados. Este desnivel sistemático o predecible se puede reducir al mínimo mediante un diseño cuidadoso. Para su determinación, se considera el circuito mostrado en la Fig. 1 con las terminales de entrada conectadas a tierra. Si la etapa está perfectamente balanceada, entonces el tensión que aparece en el drenaje de $M4$ es igual al del drenaje de $M3$, que es $(-V_{ss} + V_{GS4})$. También es el drenaje que alimenta a la compuerta de $M6$. En otras palabras, aparece una tensión igual a V_{GS4} entre compuerta y fuente de $M6$. De esta manera, la corriente de drenaje de $M6$, esto es I_{D6} , está relacionada con la corriente de drenaje de $M4$ que es igual a I_{D4} por:

$$I_{D6} = \frac{(WL)_6}{(WL)_4} I_{D4} \quad (15)$$

Para que no aparezca un desnivel a la salida, esta corriente debe ser igual a la corriente que suministra $M7$, esto es $I_{D7} = I_{D8}$, que es determinada por:

$$I_{D7} = \frac{(WL)_7}{(WL)_5} (2I_{D4}) \quad (16)$$

Respuesta en frecuencia

Para apreciar la necesidad de un resistor R conectado en serie con el condensador de compensación C_c de Miller, primero se considera la situación sin R [6]. En la Fig. 2 se muestra el circuito equivalente a pequeña señal del amplificador operacional con solo la inclusión de C_c .

Se debe notar que G_{m1} es la transconductancia de la etapa de entrada, esto es, $G_{m1} = g_{m1} = g_{m2}$, $R1$ es la resistencia de la salida de la primera etapa, esto es, $R1 = r_{o2} || r_{o4}$, $C1$ es la capacitancia total en la interfaz entre la primera y la segunda etapa, G_{m2} es la transconductancia de la segunda etapa, o lo que es lo mismo $G_{m2} = g_{m6}$. $R2$ es la resistencia de salida de la segunda etapa, esto es, $R2 = r_{o6} || r_{o7}$, y $C2$ es la capacitancia de carga, que suele ser mucho más grande que $C1$. Se tiene que los polos del circuito se encuentran con las siguientes ecuaciones:

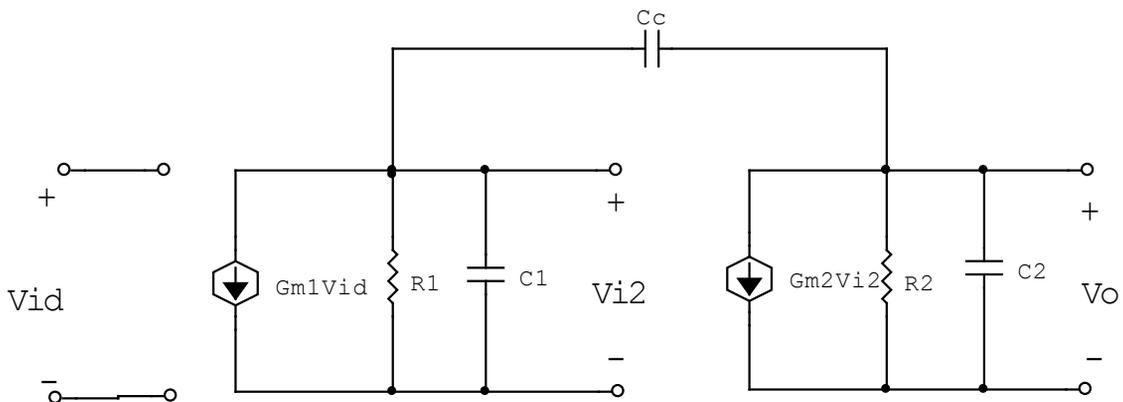


Fig. 2. Circuito equivalente de pequeña señal del amplificador operacional CMOS sin la inclusión de R [6]

$$\omega_{p1} = \frac{1}{G_{m2} \cdot R2 \cdot Cc \cdot R1} \quad (17)$$

$$\omega_{p2} = \frac{G_{m2} Cc}{C1 \cdot C2 + Cc \cdot (C1 + C2)} \quad (18)$$

Se observa que el primer polo se debe a la capacitancia de Miller, por medio de la aproximación $(1 + G_{m2} \cdot R2) \cdot Cc \approx G_{m2} R2 \cdot Cc$, la cual es mucho mayor que $C1$ interactuando con $R1$. Para hacer de ω_{p1} el polo dominante, se selecciona un valor de Cc que da un valor de ω_{p1} que, cuando se multiplica por la ganancia A_0 en DC, da la frecuencia ω_t deseada de ganancia unitaria. El valor de ω_t suele seleccionarse menor que la frecuencia de los polos y ceros no dominantes. Así, para este caso:

$$A_0 \omega_{p1} = \omega_t \quad (19)$$

$$\left(G_{m1} \cdot R1 \cdot G_{m2} \cdot R2 \right) \times \left(\frac{1}{G_{m2} R2 \cdot Cc \cdot R1} \right) = \omega_t \quad (20)$$

Y de la ecuación (20) resulta que:

$$\omega_t = \frac{G_{m1}}{Cc} \quad (21)$$

La capacitancia Cc de Miller también introduce un cero en el semiplano derecho en la función de transferencia del amplificador. La ubicación de este cero se puede determinar fácilmente de forma directa a partir del circuito de la Fig. 2. Se debe hallar el valor de s en el cual $V_o = 0$. Cuando se hace $V_o = 0$, la corriente en Cc se convierte en $sCcV_{i2}$. Como $V_o = 0$, no hay corriente en $R2$ y $C2$.

Así una ecuación de nodo a la salida produce:

$$sCc \cdot V_{i2} = G_{m2} \cdot V_{i2} \quad (22)$$

En esta forma,

$$s = \frac{G_{m2}}{Cc} \quad (23)$$

Como la transconductancia G_{m2} para los amplificadores CMOS es del mismo orden que G_{m1} , la frecuencia del cero es cercana a ω_t dada por (23). Como este cero está en el semiplano derecho, el desplazamiento que produce reduce el margen de fase y por lo tanto afecta negativamente la estabilidad del amplificador. Este problema se resuelve teóricamente con la inclusión de la resistencia R . Esta resistencia se conecta en serie con el condensador Cc de Miller, formando un lazo de retroalimentación RC . Esto se puede visualizar en la Fig. 3.

Para determinar la nueva ubicación del cero de la función de transferencia, se hace $V_o = 0$. Entonces la corriente que circula por Cc es $V_{i2}/(R + 1/sCc)$, y la ecuación de nodo a la salida produce:

$$\frac{V_{i2}}{\left(R + \frac{1}{sCc} \right)} = G_{m2} V_{i2} \quad (24)$$

Entonces el cero está en

$$s = \frac{1}{Cc(1/G_{m2} - R)} \quad (25)$$

Se observa que al seleccionar $R = 1/G_{m2}$, el cero se puede llevar a una frecuencia infinita. Una opción incluso mejor sería

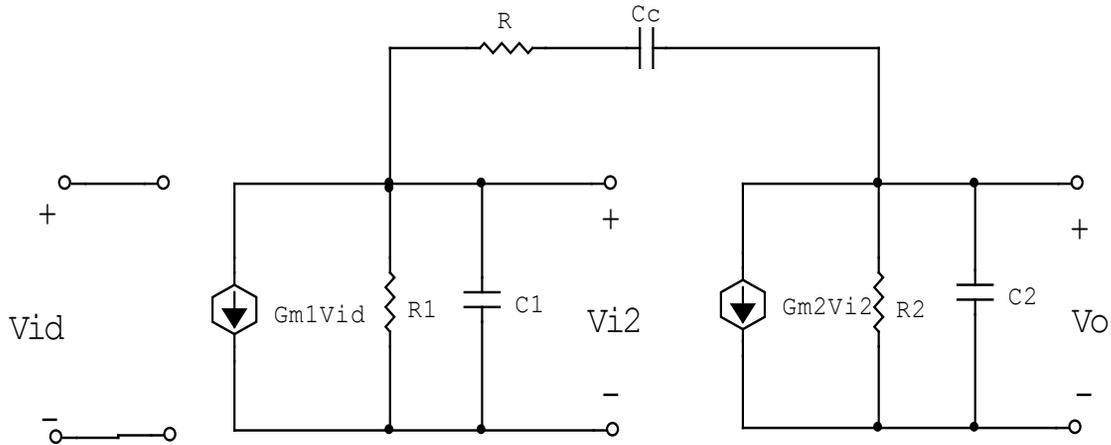


Fig. 3. Circuito equivalente de pequeña señal del amplificador operacional CMOS con la inclusión de R [6]

seleccionar R mayor que $1/G_{m2}$, llevando de esta manera el cero a un lugar negativo del eje real, donde la fase que se introduce se suma al margen de fase. Aun con la inclusión de R , todavía persistirá otro problema. La frecuencia del segundo polo, (18), no estaba muy lejana de ω_t . Así el segundo polo introduce un desfase apreciable en ω_t , que produce el margen de fase. Esto se ve con más claridad si se considera el caso en que $C2$ y Cc son mayores que $C1$. Con esto, (18) se puede aproximar a:

$$\omega_{p2} = \frac{G_{m2}}{C2} \quad (26)$$

Ahora, si se comparan (26) y (18), se observa que para $C2$ del orden de Cc , situación que se presenta con una capacitancia de carga grande, ω_{p2} será cercana a ω_t . Esto último se puede corregir, si se aumenta Cc o se disminuye ω_t .

Rapidez de respuesta

El amplificador operacional mostrado en la Fig. 1 consta de un amplificador

de transconductancia de primera etapa seguido por un amplificador de alta ganancia con la red RC de compensación de frecuencia en la retroalimentación [5]. Si se desprecia el resistor R , se puede observar que la rapidez de respuesta de un amplificador CMOS estaba dada por la siguiente ecuación:

$$SR = \frac{2I}{Cc} \quad (27)$$

Usando (21) y sustituyendo $G_{m1} = g_{m1} = 2I/|V_{GS}| - |V_t|$, es posible expresar la rapidez de respuesta en términos de la frecuencia de ganancia unitaria ω_t como

$$SR = (|V_{GS}| - |V_t|) \cdot \omega_t = V_{eff} \cdot \omega_t \quad (28)$$

Entonces, para una ω_t dada, la rapidez de respuesta está determinada por la tensión eficaz a la cual se operan los transistores de la primera etapa. Se obtienen mejores resultados, en lo que a rapidez de respuesta se refiere, con el incremento de la tensión eficaz para la operación de $M1$ y $M2$. Ahora, con una corriente

I ya especificada, se obtiene una mayor tensión eficaz si los transistores $M1$ y $M2$ son de tipo $pMOS$. Esta es la razón por la que se usaron dispositivos $pMOS$, y no $nMOS$ en la primera etapa del amplificador operacional. Otra razón es que permite usar un transistor $nMOS$, que tiene mayor transconductancia G_{m2} , que su correspondiente $pMOS$, resultando en una frecuencia de segundo polo más alta, al igual que una ω_t también más alta. El precio que se paga por estas mejoras es una menor transconductancia G_{m2} y, por lo tanto, una menor ganancia en DC .

Consumo de potencia

Según lo planteado en [1], [2] se puede calcular usando la ecuación:

$$(I_{D8} + I_{D5} + I_{D7}) \times (V_{DD} - V_{SS}) = P \quad (29)$$

APROXIMACIÓN PROPUESTA

El amplificador operacional aquí diseñado es del tipo $CMOS$ [3]. El esquema de transistores de este elemento se muestra en la Fig. 4, y fue diseñado para cumplir las especificaciones de la Tabla I. En general es un amplificador de baja potencia, ganancia alta y un tiempo de establecimiento reducido.

Consta de tres etapas, la primera de ellas proporciona la alimentación para el amplificador. Los transistores $M10$ y $M11$ proveen la tensión de alimentación a la terminal de compuerta del transistor $M9$, estableciendo su resistencia de estado encendido. Los transistores $M12$, $M13$ y $M14$ son usados para disminuir el tensión a través de la resistencia Ref ,

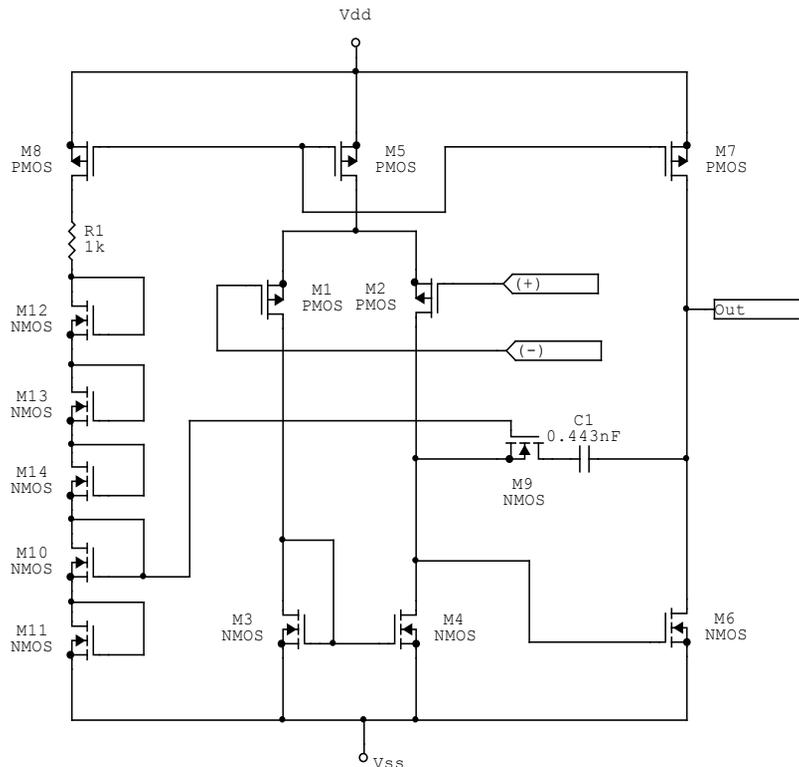


Fig. 4. Esquema de transistores del circuito amplificador operacional propuesto

la cual establece la corriente para esta etapa. Esta corriente proporciona la tensión a la terminal de compuerta del transistor $M8$, y este es usado como una tensión de alimentación a la terminal de compuerta para los espejos de corriente, que son formados por $M5$ y $M7$. Estos últimos alimentan la segunda y la tercera etapas del amplificador.

La segunda etapa del amplificador es la primera etapa de ganancia, y proporciona la entrada diferencial para el amplificador operacional. Los transistores $M1$ y $M2$ son los manejadores para esta etapa y forman un amplificador diferencial con carga activa; esta carga la proporcionan $M3$ y $M4$, que forman un espejo de corriente. La alta resistencia de salida de estos transistores proporciona una elevada ganancia, y su salida alimenta a la última etapa.

La última etapa, que es la segunda de ganancia, está conformada por los transistores $M6$ y $M7$. El transistor $nMOS$ $M6$ es el manejador y encargado de proporcionar ganancia, con $M7$ actuando como carga. De nuevo, la elevada resistencia de salida de estos dos transistores equivale a una alta ganancia, y una ganancia general considerablemente alta para todo el amplificador. La alta ganancia de esta última etapa es, adicionalmente, utilizada en la compensación del amplificador a través del condensador C_c .

Sin la compensación, el amplificador operacional podría oscilar en circuitos realimentados con una elevada ganancia de lazo. Tomando ventaja del efecto Miller y de la alta resistencia en el drenaje de $M2$, es usado un condensador C_c de pequeño valor. Sin embargo, debido a

la baja transconductancia de los $MOSFET$, el transistor $M9$ es necesario para proporcionar una resistencia de anulación y de esta forma reducir los efectos de que haya un cero en la parte derecha del plano en la función de transferencia. De hecho, este transistor puede ser usado para mejorar la respuesta en frecuencia del circuito. Esta tercera etapa y su circuito de compensación proporcionan un amplificador operacional $CMOS$, monolítico, estable, con ganancia muy alta, de bajo consumo de potencia y con tiempo de establecimiento corto.

El diseño fue aproximado para decidir cuál topología era la apropiada. Debido a su naturaleza simple y bien estudiada, la topología estándar $CMOS$ fue escogida. Se analizó y se estudió la posibilidad de una configuración cascodo por sus muchas ventajas, pero se pasó por alto debido a su elevado tiempo de diseño. Las etapas de entrada $pMOS$ tienen un reducido tiempo de establecimiento, por tal razón se escogió como etapa de entrada al amplificador operacional, ya que así se incrementa su rapidez de respuesta. La etapa de salida manejada por un $nMOS$ se debe a que este dispositivo proporciona la conducción necesaria para el manejo de potencia en la salida. Luego de decidir la topología, se analizó el circuito y las especificaciones fueron reducidas a las más simples necesidades de diseño para la aplicación en cuestión.

Las especificaciones a las que hubo que darles cumplimiento fueron las establecidas en la sección anterior, y que se enmarcan en la Tabla I. Se dio prioridad al Rango de Entrada en Modo Común, ya que se debía garantizar que el amplificador operacional realimentado estuviera en capacidad de proporcionar los niveles

TABLA I.
ESPECIFICACIONES DE DISEÑO DEL AMPLIFICADOR
OPERACIONAL

Parámetro	Objetivo de diseño
Ganancia en DC	85 dB o más
Rango de entrada en modo común	
Positivo	1.5 V o más
Negativo	-1.5 V o menos
Intervalo de tensión de salida	
Positivo	1.5 V o más
Negativo	-1.5 V o menos
Ancho de banda de ganancia unitaria	50 MHz
Tiempo de establecimiento	
Paso de Salida 0V a 1V	250 ns con error del 1%
Paso de Salida 1V a 0V	250 ns con error del 1%

de señal que se pretenden generar en la aplicación. También se tuvo muy presente tanto el Ancho de Banda de Ganancia Unitaria como el tiempo de establecimiento. Aunque el ancho de banda fue flexibilizado, se garantizó que soportara las frecuencias de las señales generadas. Se usaron las siguientes aproximaciones tecnológicas para la simplificación de las especificaciones de diseño: $k_n = 20\mu A/V^2$, $k_p = 8\mu A/V^2$, $V_{to} = 0.3V$, $\lambda = 0.03V^{-1}$.

Todas estas especificaciones obedecen a un proceso tecnológico, cuyo grosor de óxido sea $t_{ox} = 4nm$, y longitud de canal 0,12 μm . Básicamente se escogieron las dimensiones de los transistores que dieran cumplimiento a las especificaciones, lo cual se tradujo en un proceso iterativo y engorroso, pero que finalizó satisfactoriamente.

Este diseño resulta conveniente en el caso de aplicaciones integradas, en donde el amplificador operacional no se encuentra solo en el circuito integrado, sino que es un bloque funcional dentro de un sistema de mayor complejidad debido a

la naturaleza sub-micrométrica del proceso tecnológico para el que se diseña. Una vez establecidas las especificaciones y hechos los análisis del marco teórico se procedió a diseñar el amplificador operacional. Este proceso resultó iterativo, complejo y exhaustivo, pero finalmente se logró encontrar la ecuación más aceptable en el cumplimiento de las especificaciones.

Usando las ecuaciones descritas en la sección anterior, un diseño inicial fue estimado y descrito en Multisim[®] de National Instruments y finalmente simulado. Para comenzar, una estimación burda de C_c fue realizada por $0,2 * C_L$. Entonces $(W/L)_2$, $(W/L)_5$ y $(W/L)_3$ se establecieron para cumplir una de las especificaciones más importantes de diseño, el rango de entrada en modo común *CMR* (Por sus siglas en inglés, *Common Mode Range*), ya que sus geometrías establecen tanto las tensiones como las corrientes en sus terminales, y estas últimas variables determinan el *CMR* (para tener mayor claridad al respecto revisar la sección sobre diseño). I_{D5} fue entonces establecida para cumplir la respuesta en frecuencia de ganancia unitaria y el *CMR*, e, inicialmente, I_{D7} fue escogida para ser igual a I_{D5} y mantener una alta ganancia. Como se mencionó antes, *CMR* era la especificación de diseño más importante, y según las ecuaciones y los análisis, se requería una pequeña corriente I_{D5} y grandes relaciones geometrías $(W/L)_2$ y $(W/L)_5$. Sin embargo, una restricción importante de cumplir en cualquier diseño *VLSI* (*Very Large Scale Integrated*, Muy Alta Escala de Integración) es el consumo de área, por lo tanto el tamaño de los transistores *M2* y *M5*

debió reducirse significativamente, y con esto se mejoró la respuesta en frecuencia y el tiempo de establecimiento. En la Tabla II se muestra un resumen de los dispositivos obtenidos, con los valores de algunos parámetros importantes de los transistores. En general, el diseño final se comportó de acuerdo con las especificaciones, y en algunos casos las superó por mucho. En particular, el ancho de banda de ganancia unitaria no fue el especificado inicialmente, sin embargo era bueno para las necesidades del diseño; el tiempo de establecimiento fue superado notablemente, y un bajo consumo de potencia. El bajo nivel de alimentación, el reducido tamaño de los dispositivos y de ahí las reducidas capacitancias parásitas, y la moderada corriente disponible para cargar las capacitancias, ayudó a cumplir e incluso a mejorar algunas de las especificaciones. Cada especificación se examinará en la siguiente sección de

Pruebas y resultados. Algunos aspectos afectados en el circuito se describirán en lo que sigue.

En el diseño del amplificador, los cuerpos de los sustratos de cada tipo de dispositivo se conectaron a sus respectivos terminales de fuente. Esto se hizo para simplificar el diseño y esta simplificación es válida por diferentes razones. En la primera de todas, si se observa el circuito de la Fig. 4, se puede ver que todos los transistores naturalmente tienen sus sustratos conectados a las terminales de fuente. Como segundo, un proceso de fabricación con pozos duales puede implementar este tipo de configuración. Finalmente, si los sustratos de los transistores son conectados a sus respectivas terminales de fuente, esto no tendrá ningún impacto en el rendimiento del sistema. El único impacto en el circuito fue el incremento de V_{t1} y V_{t2} por

$$\gamma_p [(2 \phi_f + V_{SB})^{1/2} - (2 \phi_f)^{1/2}] = 60 \text{ mV}.$$

TABLA II.
RELACIÓN GEOMÉTRICA ANCHO (w)/LARGO (L)
DE LOS TRANSISTORES EMPLEADOS EN EL DISEÑO
DEL AMPLIFICADOR OPERACIONAL

Transistor	W/L (um/um)
M1	9.9/0.12
M2	9.9/0.12
M3	2.1/0.12
M4	2.1/0.12
M5	2.7/0.12
M6	9.6/0.12
M7	8.1/0.12
M8	0.36/0.12
M9	6/0.12
M10	1.2/0.12
M11	1.2/0.12
M12	0.06/0.12
M13	0.06/0.12
M14	0.06/0.12

La ganancia del circuito no fue afectada, porque g_{m1} y g_{m2} están fijados por la corriente I_{D5} . La CMR^+ se incrementó en 60 mV y este cambio fue compensado por el ligero tamaño de $(W/L)_1$ y $(W/L)_2$. Adicionalmente, el circuito de alimentación pudo haber sido modificado ligeramente para producir la misma corriente en sus ramas, y no verse afectado el rendimiento del amplificador en general.

Sin embargo, un proceso CMOS tiene como mínimo un pozo de un tipo y por esta razón M1 y M2 pudieron haber sido ligeramente ajustados, así como su circuito de alimentación, pero no ambos a la vez.

PRUEBAS Y RESULTADOS

Llegado este punto, es preciso realizar pruebas al amplificador operacional a nivel de transistores, y con ellas verificar el funcionamiento especificado para el mismo. Como ya se dijo en la metodología, estas pruebas se realizaron por medio de simulaciones de circuitos en el software Multisim® de National Instruments, y basadas en un modelo de *MOSFET BSIM3* y en el proceso tecnológico presentado en la sección de diseño. La primera prueba que se realizó fue el análisis para la obtención de la ganancia en *DC*. Para realizar esta simulación, el amplificador operacional estaba en lazo abierto, como se muestra en la Fig. 5, y se calculó su respuesta en frecuencia, tanto en magnitud como en fase, de allí se pudo extraer la ganancia buscada, la cual tenía un valor de 132,59 dB. Como se puede notar, fue

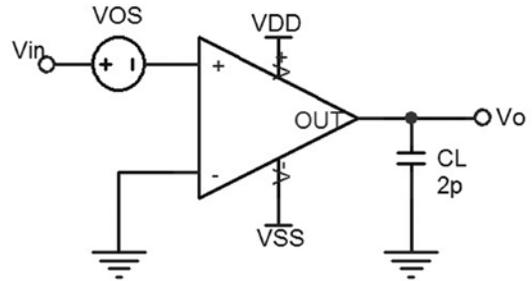


Fig. 5. Configuración lazo abierto del amplificador operacional

superado el valor especificado de 85 dB, lo que resulta satisfactorio porque acerca aún más al comportamiento ideal del circuito. Ambas gráficas se muestran en la Fig. 6.

La siguiente prueba fue el cálculo del ancho de banda de ganancia unitaria. Para llevar a cabo esto, se configuró el amplificador operacional como seguidor, tal como se muestra en la Fig. 7, y se calculó su respuesta en frecuencia. Los resultados se visualizan en la Fig. 8.

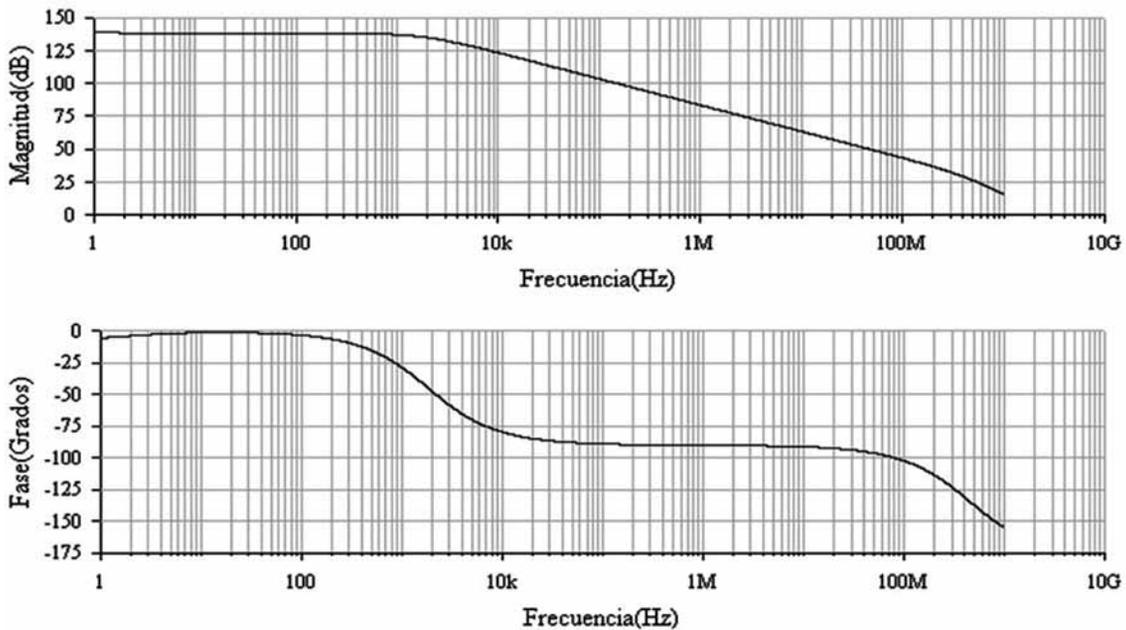


Fig. 6. Respuesta en frecuencia en lazo abierto del amplificador operacional

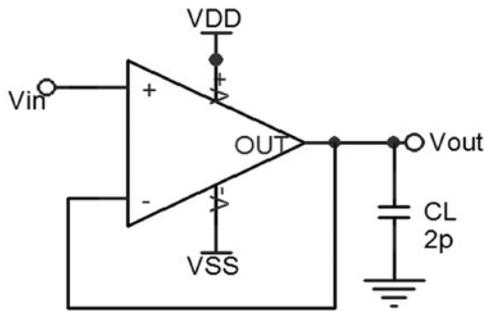


Fig. 7. Configuración seguidor del amplificador operacional

La respuesta en frecuencia se mantuvo significativamente cercana a 0 dB hasta la frecuencia de 20 MHz, y la frecuencia para la ganancia de -3 dB fue de 97,69 MHz, aproximadamente. Se esperaba una mejor respuesta en frecuencia, buscando mantener los 0 dB en una banda mayor; sin embargo, esto no fue inconveniente para la aplicación del operacional en el filtro, ya que para las frecuencias de señal manejadas respondía correctamente. Es importante señalar que el

parámetro que más afecta el ancho de banda de ganancia unitaria, así como la ganancia de lazo abierto, es la tensión de umbral, V_t , de los transistores.

Llegado este punto, se debía determinar el rango de entrada en modo común, que mide cuál puede ser el límite máximo de la señal de entrada antes de entrar en saturación. Para medir esta especificación se usó la configuración mostrada en la Fig. 9. Se aplicó a la entrada del am-

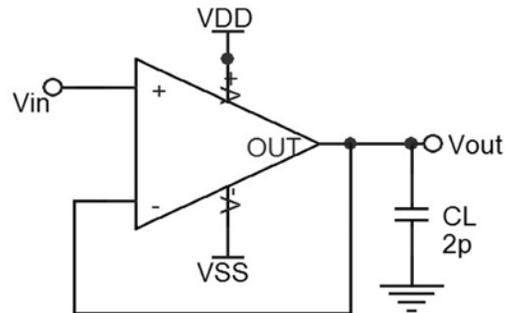


Fig. 9. Configuración seguidor del amplificador operacional

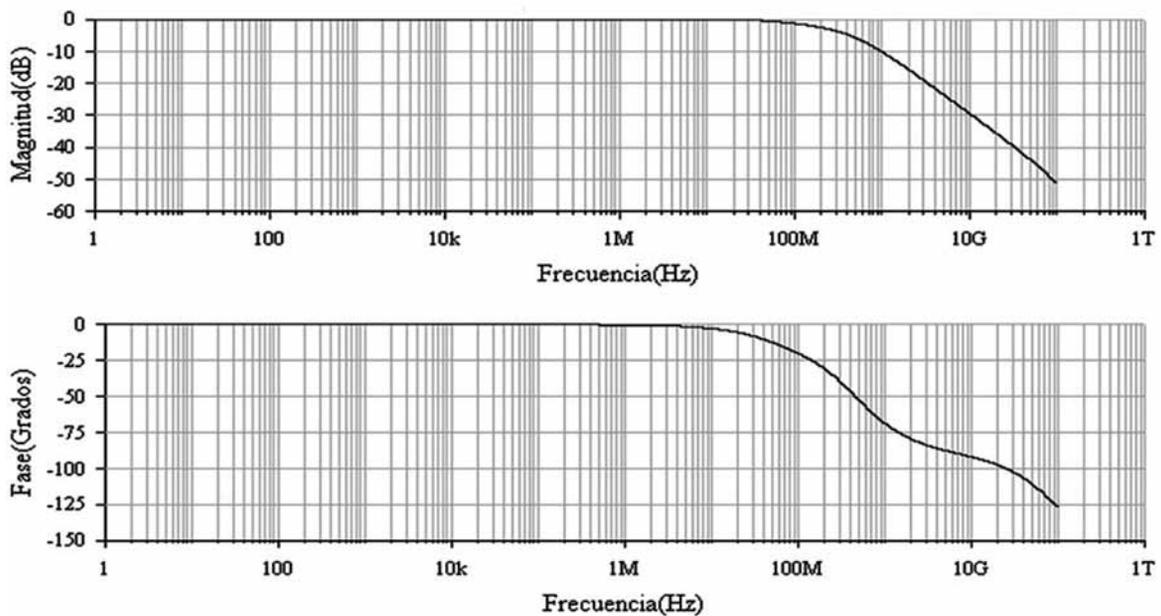


Fig. 8. Respuesta en frecuencia del amplificador operacional en configuración seguidor.

plificador operacional una señal rampa de la Fig. 10, y en la Fig. 11 se puede observar la señal de salida.

Se puede concluir que la salida se satura en las cercanías de 1,12 V; luego de esto, cualquier incremento en la señal de entrada no reflejará ningún cambio significativo en la salida. Esta especificación era de cuidado durante el diseño, ya que el amplificador operacional debía soportar las señales provenientes de un bloque comparador.

La siguiente especificación, el tiempo de establecimiento, fue medida utilizando la configuración de la Fig. 9, e ingresando al amplificador operacional una señal cuadrada con una amplitud de 1V y 10 MHz de frecuencia. Se midió la transición de bajo a alto, y resultó ser de aproximadamente 30 ns, y la transición de alto a bajo fue de 17,36 ns (Fig. 12). Sobrepasó por mucho el valor esperado para esta especificación, así que no hay más comentarios al respecto, además de

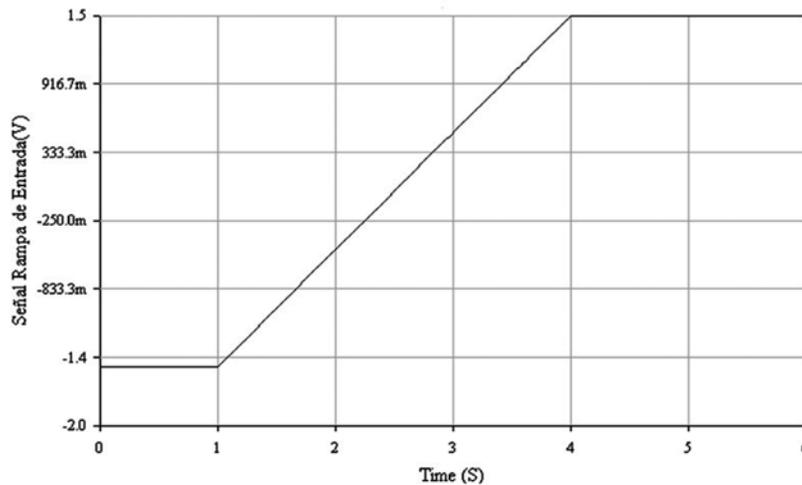


Fig. 10. Señal rampa de entrada al amplificador operacional para medir los límites máximos de la señal de entrada antes de la saturación

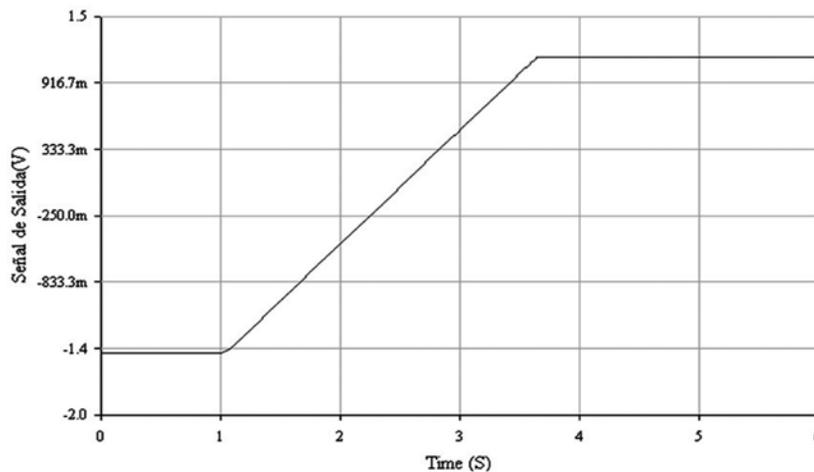


Fig. 11. Señal de salida del amplificador operacional que establece los límites máximos de la señal de entrada antes de la saturación.

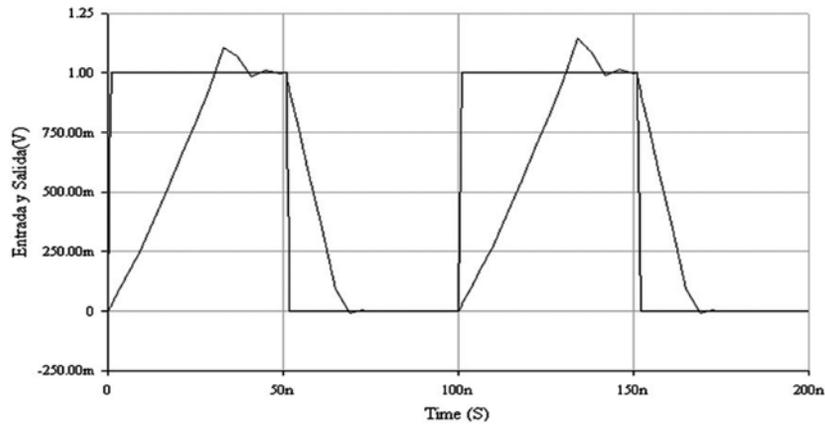


Fig. 12. Medición del tiempo de establecimiento del amplificador operacional

que la disminución del tamaño de los transistores, en especial la merma de la longitud del canal, contribuye a la mejora en la velocidad de los transistores, y por ende constituye una mejora significativa en la respuesta de los circuitos contruidos con estos últimos.

Las diferencias en las transiciones básicamente radican en que el cambio de alto a bajo esta básicamente controlado por los transistores *nMOS*, cuya movilidad de portadores es mayor, por tratarse de electrones. La última especificación medida fue el intervalo de tensión de salida, para lo cual se utilizó una configuración de amplificador operacional como la mostrada en la Fig. 13. Esta especificación fue muy cuidada durante la etapa de diseño, por las mismas razones que se cuidó el rango de entrada en modo común. Se ingresó al circuito una señal rampa como la mostrada en la Fig. 14, y se obtuvo a la salida la señal mostrada en la Fig. 15.

El resultado fue satisfactorio, ya que se alcanzó en la salida unos límites comparables a las tensiones de alimentación duales del amplificador operacional.

En la Tabla III se presenta un resumen de todas las especificaciones obtenidas de la simulación del diseño.

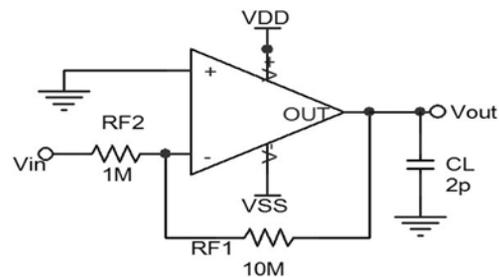


Fig. 13. Amplificador operacional en configuración inversora con realimentación resistiva

TABLA III.
ESPECIFICACIONES OBTENIDAS EN LA SIMULACIÓN DEL DISEÑO PROPUESTO

Parámetro	Especificación obtenida
Ganancia en DC	132.59 dB
Rango de Entrada en Modo Común	
Positivo	1.5 V
Negativo	-1.5 V
Intervalo de Tensión de Salida	
Positivo	1.5 V
Negativo	-1.5 V
Ancho de Banda de Ganancia Unitaria	97.69 MHz
Tiempo de Establecimiento	
Paso de Salida 0V a 1V	30 ns
Paso de Salida 1V a 0V	17.36 ns

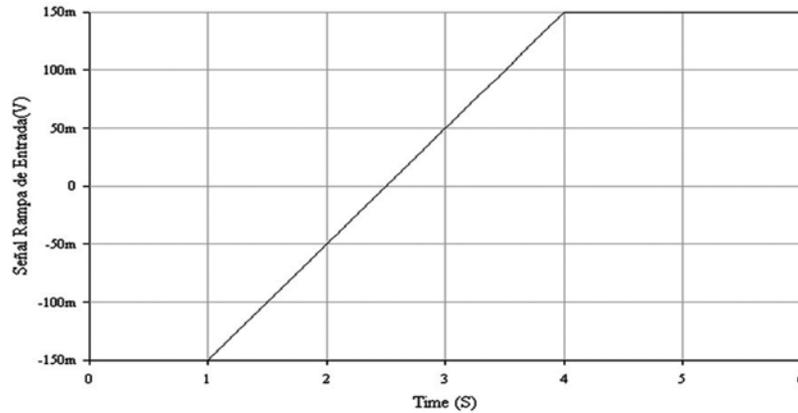


Fig. 14. Señal rampa de entrada al amplificador operacional inversor con realimentación resistiva

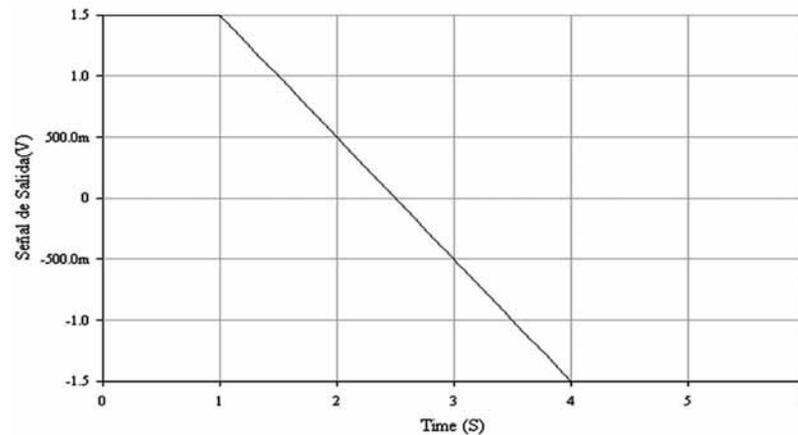


Fig. 15. Señal de salida del amplificador operacional inversor con realimentación resistiva

La Tabla comparativa IV permite observar el comportamiento del diseño propuesto en este artículo con respecto a otros dos diseños, uno también académico y otro comercial para las variables de interés: ancho de banda de ganancia unitaria y ganancia *DC*. El amplificador operacional presentado en [15] tiene un ancho de banda apenas superior en 18 MHz, aproximadamente, pero al costo de ver reducida su ganancia en 42,59 dB. Esto permite verificar la relación inversa entre el ancho de banda y la ganancia de los circuitos amplificadores. La razón por la que se escogió este diseño para contrastarlo con el aquí presentado es que utiliza también tecnología

CMOS y de esta forma la comparación es más equilibrada. El amplificador operacional comercial presentado en [16] tiene un ancho de banda muy superior al de los diseños académicos antes comentados, pero exhibiendo una ganancia de apenas 3 dB en *DC*. Este diseño se escogió precisamente por lo anterior, ya que de esta manera queda claro que el mejoramiento del ancho de banda trae consigo una pérdida notable de ganancia. Se puede observar el costo de incrementar demasiado el ancho de banda de este tipo de amplificadores y el compromiso que existe entre estos dos parámetros, y cuyos niveles deben establecerse según la aplicación específica en la que

TABLA IV. COMPARATIVA ENTRE LOS VALORES DE LOS PARÁMETROS ESPECIFICADOS DURANTE EL DISEÑO Y LOS OBTENIDOS EN LAS SIMULACIONES

Parámetro	Diseño Propuesto	Diseño presentado en [15]	Amplificador Operacional Comercial [16]
Proceso Tecnológico	CMOS 0.12 um	CMOS 1.6 um	Bipolar
Ganancia en DC	132.59 dB	90 dB	3 dB
Rango de Entrada en Modo Común			
Positivo	1.5 V	-	-
Negativo	-1.5 V	-	-
Intervalo de Tensión de Salida			
Positivo	1.5 V	2.1 V	5 V
Negativo	-1.5 V	-2.1 V	-5 V
Ancho de Banda de Ganancia Unitaria	97.69 MHz	116 MHz	1.2 GHz
Tiempo de Establecimiento			
Paso de Salida 0V a 1V	30 ns	62 ns	6 ns
Paso de Salida 1V a 0V	17.36 ns	61.5 ns	6 ns

se implementará el amplificador. También se debe destacar el hecho de que el uso de tecnología bipolar permite conseguir anchos de banda mayores, como lo establece la teoría microelectrónica. De los diseños presentados no se puede concluir que uno sea superior a los otros dos, pues la mejora de alguna especificación se hace a costa del empeoramiento de otra, y por ende la conveniencia del diseño estará sujeta a la aplicación particular en la que se requiera.

CONCLUSIONES

El proceso de diseño seguido en este proyecto dio como resultado un amplificador operacional CMOS con proceso tecnológico de 0,12 um, que en algunos casos como mínimo cumplió las especificaciones proyectadas, y en otros excedió los objetivos de diseño por un alto margen. Las áreas de rendimiento más notables fueron el tiempo de establecimiento de 30 ns, la frecuencia de ganancia unitaria de 97 MHz, y la ganancia en DC de

132 dB. El proceso de diseño fue tratado con gran detalle, para lo cual se llevó a cabo el estudio exhaustivo del proceso de diseño de este tipo de circuitos analógicos, estableciendo una metodología que permite equilibrar las diferentes restricciones del diseño dependientes de la aplicación específica. Se describe de forma minuciosa el proceso. Algunas especificaciones no se estudiaron en profundidad, tales como el tipo de proceso de fabricación potencial que se debe utilizar (pozo N, pozo Dual, etc.)

En algunos casos fue necesario realizar rediseños de forma iterativa para obtener los resultados más adecuados, práctica común en el diseño de sistemas analógicos. El amplificador operacional propuesto en este artículo se comparó con otros diseños a fin de observar las ventajas que presenta, pero no se puede concluir que sea superior a los otros dos, pues la mejora de alguna especificación se hace a costa del empeoramiento de otra, y por ende la conveniencia de cualquier diseño estará sujeta a la aplicación

particular en la que se requiera, razón por la cual existen tantos modelos de amplificadores operacionales diferentes.

AGRADECIMIENTOS

Se hace una dedicatoria especial de este trabajo a Abyghail Simancas Heine, hija del autor, cuyo nacimiento es lo mejor que le ha pasado en la vida y es la fuente de inspiración de todo cuanto hace. El autor agradece a la Universidad de la Costa la oportunidad de llevar a cabo estas investigaciones dentro de las actividades del grupo de Investigación GIACUC, porque si bien este diseño no estaba asociado a los proyectos que actualmente adelanta el equipo, el apoyo y recomendaciones de cada uno de sus miembros fueron muy útiles, especialmente en momentos en que el trabajo resultaba frustrante, así como la disponibilidad de tiempo proporcionada.

REFERENCIAS

- [1] A. Sedra and K. Smith, *Circuitos microelectrónicos*. 4 ed. México: Oxford University, 1998. 1232 p.
- [2] M. Rashid, *Circuitos microelectrónicos: Análisis y diseño*. México: International Thomson, 1999. 990 p.
- [3] R. Ruiz, *Notas de clase del curso técnicas de análisis y diseño electrónico UPCT*. 179 p. Material no publicado.
- [4] P. Gray and R. Meyer, "MOS Operational amplifier design: A tutorial overview". *IEEE journal of solid-state circuits*. Vol. SC-17, No. 6, (December, 1982), pp. 969-982.
- [5] J. Solomon, "The monolithic op amp: A tutorial study". *IEEE journal of solid-state circuits*. Vol. SC-9, No. 6, (December, 1974); pp. 314-332.
- [6] A. Rubio et al., *Diseño de circuitos y sistemas integrados*. México, Alfaomega, 2005. 446 p.
- [7] S. Franco, *Design with operational amplifiers and analog integrated circuits*. Third Edition. United States, McGraw-Hill, 2002. 680 p.
- [8] P. Gray and R. Meyer, *Analysis and Design of Analog Integrated Circuits*. Third Edition. United States, Prentice-Hall. 1993. 792 p.
- [9] Application Note 1108. Understanding Single-Ended, Pseudo-Differential and Fully-Differential ADC Inputs. MAXIM.
- [10] MT-044TUTORIAL. Op Amp Open Loop Gain and Open Loop Gain Nonlinearity. Analog Devices.
- [11] T. H. Lee, *IC Op-Amps through the Ages*. November 18, 2002.
- [12] W. G. Jung, *Op Amp Applications Handbook*. Newnes, 2004.
- [13] J. L. Simancas, "Diagnóstico de circuitos integrados analógicos y de comunicaciones". *IngeUAN*. Vol. 1, No. 2, 2011.
- [14] J. L. Simancas, *Bloque funcional para pruebas de circuitos integrados analógicos y de señal mezclada*. Tesis de Grado. Universidad del Norte. Barranquilla, Colombia, 2006.
- [15] K. Bult and G. J. G. M. Geelen, "A fast-settling CMOS op amp for SC circuits with 90-dB DC gain". *IEEE Journal of Solid-State Circuits*. Vol. 25, No. 6 (1990). pp. 1379-1384.
- [16] National Semiconductor Corporation, *Comlinear CLC449 1.2 GHz Ultra-Wideband Monolithic Op Amp*. United States, August 1996.